



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000003235 (43) Publication.Date. 20000115

(21) Application No.1019980024430 (22) Application Date. 19980626

(51) IPC Code:

H01L 21/76

(71) Applicant:

HYUNDAI ELECTRONICS IND. CO., LTD.

(72) Inventor:

PARK, HYEON SIK

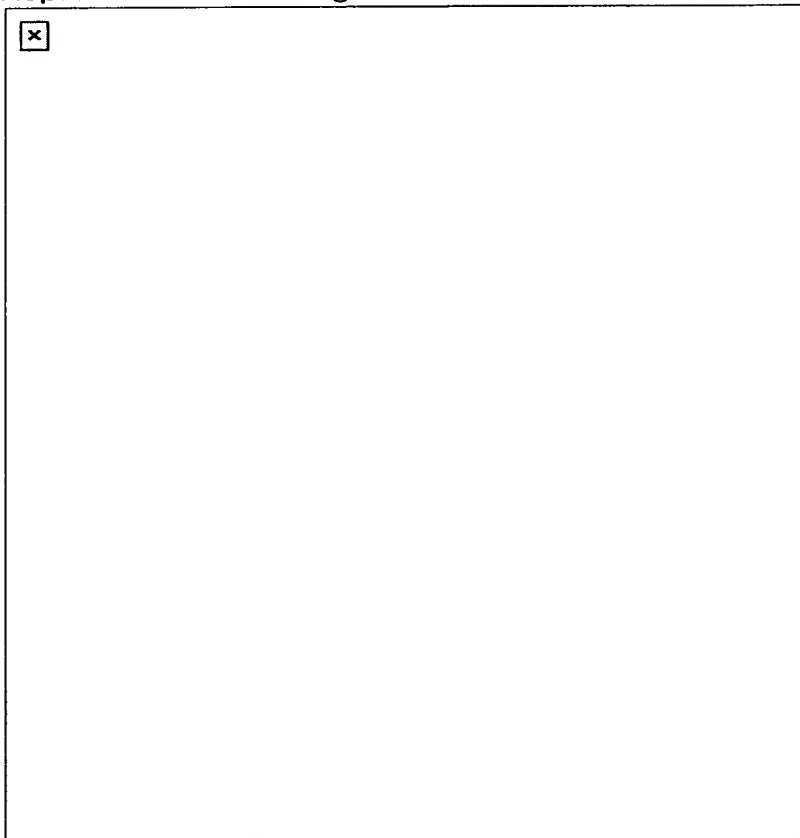
SONG, IL SEOK

(30) Priority:

(54) Title of Invention

DEVICE SEPARATING FILM FORMING METHOD FOR PREVENTING WAFER FROM BENDING

Representative drawing



(57) Abstract:

PURPOSE: A device separating film forming method of a semiconductor device is provided to prevent a wafer from bending caused by forming the nitride film.

CONSTITUTION: The device separating film forming method comprises the steps of: forming a nitride film(21) on the front and the rear face of a wafer(20); forming a tetra ethyl ortho silicate(TEOS) film formed with the boro-phospho silicate glass(BPSG) film or the plasma enhanced chemical vapor deposition on the nitride film(21) on the front face of the wafer(20); and eliminating the nitride film(21) on the rear face of the wafer (20) by soaking the wafer(20) in the phosphoric acid(H₃PO₄) solution and eliminating an oxidizing film(22) by wetting etching, using the buffered oxidize etchant (BOE).

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/76	(11) 공개번호 특2000-0003235
	(43) 공개일자 2000년01월15일
(21) 출원번호 10-1998-0024430	
(22) 출원일자 1998년06월26일	
(71) 출원인 현대전자산업 주식회사 김영환	
(72) 발명자 송일석	경기도 이천시 부발읍 아미리 산 136-1
	박현식
	경기도 이천시 창전4동 427-37 도원빌라 302호
(74) 대리인 박해천, 원석희	경기도 이천시 부발읍 아미리 산 148-1 현대임대아파트 107-507

심사청구 : 없음

(54) 웨이퍼 휘어짐을 방지할 수 있는 소자분리막 형성 방법

요약

본 발명은 산화방지 역할을 하는 질화막 형성으로 인한 웨이퍼의 휘어짐을 방지할 수 있는 반도체 소자의 소자분리막 형성 방법에 관한 것으로, 웨이퍼 전면과 후면 상에 질화막을 형성하고 웨이퍼 후면의 질화막을 일부 제거하여 웨이퍼 전면과 후면 상의 질화막 두께를 조절함으로써, 웨이퍼 전면 상에 질화막 패턴 형성을 위한 식각 및 소자분리 산화막 형성으로 웨이퍼가 휘어지는 것을 방지하는데 그 특징이 있다.

대표도

도2c

영세서

도면의 간단한 설명

도1a 내지 도1c는 종래 기술에 따른 반도체 소자의 소자분리막 형성 공정 단면도

도2a 내지 도2f는 본 발명의 일실시예에 따른 반도체 소자의 소자분리막 형성 공정 단면도

* 도면의 주요 부분에 대한 도면 부호의 설명

- | | |
|--------------|---------|
| 20: 웨이퍼 | 21: 질화막 |
| 21A: 질화막 패턴 | 22: 산화막 |
| 23: 소자분리 산화막 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 제조 분야에 관한 것으로, 특히 질화막 형성으로 인한 웨이퍼(wafer)의 휘어짐을 방지할 수 있는 반도체 소자의 소자분리막 형성 방법에 관한 것이다.

소자분리 산화막을 형성하기 위하여 산화방지막으로 질화막을 광범위하게 사용하고 있다. 이러한 질화막은 산화 억제 능력은 뛰어나지만 스트레스(stress)가 강해 산화방지 패턴 형성 이후 웨이퍼의 휘어짐이 발생하며, 소자분리 산화막 형성 후 그 휘어짐의 정도는 최대가 된다.

도1a 내지 도1c는 종래의 로코스(LOCOS, local oxidation of silicon) 기술에 따른 반도체 소자의 소자분리막 형성 공정 단면도이다.

도1a는 웨이퍼(10) 전면 및 후면 상에 질화막(11)을 증착한 상태를 보이고 있다. 상기 질화막(11)은 웨이퍼에 형성된 자연산화막(도시하지 않음) 상에 증착되며, 질화막(11) 증착 이전에 스트레스를 감소시키기 위하여 산화막(도시하지 않음)을 형성하기도 한다.

도1b는 웨이퍼(10) 전면 상에 형성된 질화막(11)을 선택적으로 제거하여 소자분리 산화막이 형성될 부분

의 웨이퍼(10)를 노출시키는 질화막 패턴(11A)을 형성한 상태를 보이고 있다. 이때, 웨이퍼(10) 전면 상의 질화막(11)의 일부가 제거됨으로 인하여, 웨이퍼(10) 전면 및 후면의 스트레스 차이로 인해 웨이퍼(10)의 휘어짐이 발생한다.

도1c는 산화공정을 실시하여 소자분리 산화막(12)을 형성한 후의 단면도로서, 웨이퍼가 휘어진 상태에서 산화공정이 실시됨으로 인해 웨이퍼(10)의 휘어짐이 더욱 증가되는 것을 보이고 있다.

이와 같은 웨이퍼의 휘어짐은 질화막의 두께와 웨이퍼의 크기에 비례한다. 따라서, 웨이퍼의 휘어짐을 방지하기 위하여 질화막을 얇게 형성하고 있으나, 질화막 두께가 얇을 경우에는 소자분리 산화막 단부에 발생하는 버즈빅(bird's beak)의 크기가 증가하여 소자의 집적도 향상을 저해시키는 문제점이 있으며, 이러한 웨이퍼 휘어짐 문제가 해결되지 않을 경우, 향후 지름이 300 mm 이상인 웨이퍼 상에 소자분리 산화막을 용이하게 형성할 수 없는 단점이 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 산화방지 역할을 하는 질화막 형성으로 인한 웨이퍼의 휘어짐을 방지할 수 있는 반도체 소자의 소자분리막 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은 웨이퍼 전면과 후면에 질화막을 형성하는 제1 단계; 상기 웨이퍼 후면에 형성된 질화막의 일부를 제거하는 제2 단계; 상기 웨이퍼 전면의 질화막을 선택적으로 제거하여, 소자분리 산화막이 형성될 영역의 웨이퍼 부분을 노출시키는 질화막 패턴을 형성하는 제3 단계; 및 소자분리 산화막을 형성하는 제4 단계를 포함하는 반도체 소자의 소자분리막 형성 방법을 제공한다.

본 발명은 웨이퍼 전면과 후면 상에 질화막을 형성하고 웨이퍼 후면의 질화막을 일부 제거하여 웨이퍼 전면과 후면 상의 질화막 두께를 조절함으로써, 웨이퍼 전면 상에 질화막 패턴 형성을 위한 식각 및 소자분리 산화막 형성으로 웨이퍼가 휘어지는 것을 방지하는데 그 특징이 있다.

웨이퍼 전면과 후면에 질화막을 형성하고 웨이퍼 후면의 질화막을 완전히 제거하였을 경우, 웨이퍼의 휘어짐은 있었으나 웨이퍼 휘어짐 정도는 웨이퍼 후면의 질화막을 제거하지 않았을 때 보다 작으며, 스트레스를 가장 심하게 받을 수 있는 산화공정 후에도 웨이퍼의 휘어짐은 질화막이 형성되지 않은 웨이퍼와 거의 같은 정도임을 실험을 통해 알 수 있었다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

도2a 내지 도2e는 본 발명의 일 실시예에 따른 반도체 소자의 소자분리막 형성 공정 단면도이다.

먼저, 도2a에 도시한 바와 같이 웨이퍼(20) 전면과 후면 상에 질화막(21)을 형성한다. 상기 질화막(21)은 웨이퍼(20)에 형성된 자연산화막(도시하지 않음) 상에 형성될 수도 있으며, 질화막(21) 형성 이전에 웨이퍼(20) 전면과 후면 상에 100 Å 내지 200 Å 두께의 산화막을 형성하기도 한다.

다음으로, 도2b에 도시한 바와 같이 웨이퍼(20) 전면의 질화막(21) 상에 식각방지막으로 역할하게 될 산화막(22)을 형성한다. 상기 산화막(22)은 BPSG(borophospho silicate glass)막 또는 플라즈마 화학기상 증착법(plasma enhanced chemical vapor deposition)으로 형성된 TEOS(tetra ethyl ortho silicate)막이다.

다음으로, 도2c에 도시한 바와 같이 155 °C 내지 165 °C 온도의 인산(H_3PO_4) 용액에 웨이퍼(20)를 담구어 웨이퍼(20) 후면의 질화막(21)을 45 % 내지 55 % 정도 제거한다. 이때, 인산용액에서 질화막에 대한 산화막의 식각비는 1/50 정도이기 때문에 웨이퍼(20) 전면의 질화막(21)은 손상되지 않으며, 웨이퍼(20) 후면의 질화막 제거 후에도 웨이퍼(20) 전면에 산화막(22)이 존재하기 때문에 웨이퍼(20)의 휘어짐은 거의 발생하지 않는다. 상기 웨이퍼(20) 후면의 질화막(21)을 불산(HF)을 이용하여 제거하기도 한다. 또한, 소자의 전기적 특성을 향상시키기 위하여 회전식각(spin etcher)으로 웨이퍼(20) 후면의 질화막을 제거하기도 한다.

다음으로, 도2d에 도시한 바와 같이 완충산화식각제(BOE, buffered oxide etchant)를 이용한 습식식각으로 산화막(22)을 제거한다. 이때, 완충산화식각제에서 산화막에 대한 질화막의 식각비는 1/150 이상이기 때문에, 과도식각을 실시할 경우에도 질화막(21)은 손상되지 않는다. 또한, 산화막(22) 제거 후 웨이퍼(20) 전면과 후면의 질화막(21) 두께 차이에 의해 웨이퍼가 웨이퍼(20) 전면 쪽을 향하여 휘어지나, 그 정도는 크지 않다.

다음으로, 도2e에 도시한 바와 같이 웨이퍼(20) 전면의 질화막(21)을 선택적으로 식각하여 소자분리 산화막이 형성될 영역의 웨이퍼(20)를 노출시키는 질화막 패턴(21A)을 형성한다. 이때, 질화막 식각과정에서 웨이퍼(20) 전면의 질화막 두께 변화에 따라 웨이퍼가 웨이퍼(20) 후면 쪽을 향하여 휘게되어, 결과적으로 이전의 공정에서 발생한 웨이퍼 휘어짐을 보상하여 웨이퍼가 평평해진다.

다음으로, 도2f에 도시한 바와 같이 산화공정을 실시하여 소자분리 산화막(23)을 형성한다. 이때, 산화공정은 웨이퍼의 휘어짐이 없는 상태에서 실시되기 때문에 소자분리 산화막(23) 형성 후에 웨이퍼의 휘어짐은 발생하지 않는다.

다음의 표1은 전술한 본 발명의 일 실시예에 따라 웨이퍼 후면의 질화막의 일부가 제거된 웨이퍼와, 웨이퍼 후면의 질화막을 제거되지 않은 웨이퍼 각각의 전면에 소자분리 산화막을 형성한 다음, 트랜지스터를 형성하고 게이트 산화막 특성(gate oxide integrity)을 측정하여 얻은 통과율(pass rate)을 보이고 있다.

[표 1]

	2000 Å의 질화막		2300 Å의 질화막	
	1회 측정	2회 측정	1회 측정	2회 측정
웨이퍼 후면의 질화막을 제거하지 않은 경우	0%	0%	0%	0%
웨이퍼 후면의 질화막을 약 50% 제거한 경우	34%	24%	31%	39%

상기 표1은 다음의 3단계 공정으로 소자분리 산화막을 형성한 후, 트랜지스터를 형성하여 얻은 결과이다. 소자분리 산화막 형성을 위한 3단계 공정은 1000 °C 온도에서 습식산화 공정을 실시해서 500 Å 두께의 산화막을 형성하는 1단계, 1100 °C 온도에서 습식산화 공정을 실시해서 1000 Å 두께의 산화막을 형성하는 2단계, 1100 °C 온도에서 건식산화 공정을 실시하여 1000 Å 두께의 산화막을 형성하는 3단계로 이루어진다. 또한, 상기 표1은 2000 Å 또는 2300 Å 두께의 질화막을 형성한 각각의 경우에 대하여 웨이퍼 후면의 질화막을 제거하지 않았을 때와 제거하였을 때를 비교하여 나타낸 것이다. 즉, 질화막 두께 변화에 따른 통과율 변화는 비교되지 않은 결과이다.

표1의 결과로부터 웨이퍼 후면의 질화막을 제거하고 소자분리 산화막을 형성하는 경우 웨이퍼가 휘어지는 것을 방지할 수 있어, 웨이퍼 상에 형성되는 소자의 특성이 보다 향상됨을 알 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 소자분리막 형성시 질화막으로 인한 웨이퍼의 휘어짐을 방지할 수 있어 상대적으로 지름이 큰 웨이퍼 상에도 로코스 공정을 적용하여 소자분리막을 형성할 수 있다.

(57) 청구의 범위

청구항 1

반도체 소자의 소자분리막 형성 방법에 있어서,

웨이퍼 전면과 후면에 질화막을 형성하는 제1 단계;

상기 웨이퍼 후면에 형성된 질화막의 일부를 제거하는 2단계;

상기 웨이퍼 전면의 질화막을 선택적으로 제거하여, 소자분리 산화막이 형성될 영역의 웨이퍼 부분을 노출시키는 질화막 패턴을 형성하는 제3 단계; 및

소자분리 산화막을 형성하는 제4 단계

를 포함하는 반도체 소자의 소자분리막 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제2 단계는,

상기 웨이퍼 전면에 형성된 질화막 상에 식각방지막을 형성하는 단계;

상기 웨이퍼 후면의 질화막을 제거하는 단계; 및

상기 식각방지막을 제거하는 단계를 포함하는 반도체 소자의 소자분리막 형성 방법.

청구항 3

제 2 항에 있어서,

상기 식각방지막을 BPSG(borophospho silicate glass) 또는 TEOS(tetra ethyl ortho silicate)막으로 형성하는 반도체 소자의 소자분리막 형성 방법.

청구항 4

제 3 항에 있어서,

상기 제2 단계에서,

상기 질화막을 인산(H_3PO_4) 또는 HF로 제거하는 반도체 소자의 소자분리막 형성 방법.

청구항 5

제 4 항에 있어서,

상기 제2 단계에서,

155 ℃ 내지 165 ℃ 온도의 인산(H_3PO_4) 용액으로 웨이퍼 후면의 질화막을 제거하는 반도체 소자의 소자 분리막 형성 방법.

청구항 6

제 3 항에 있어서,

상기 식각방지막을 완충산화식각제(buffered oxide etchant)로 제거하는 반도체 소자의 소자분리막 형성 방법.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제2 단계에서,

상기 제1 단계에서 웨이퍼 후면에 형성된 질화막 두께의 45 % 내지 55 %를 제거하는 반도체 소자의 소자 분리막 형성 방법.

청구항 8

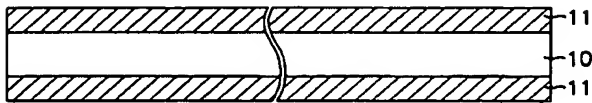
제 7 항에 있어서,

상기 제1 단계 전에,

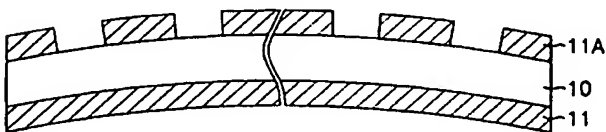
상기 웨이퍼 전면과 후면에 산화막을 형성하는 단계를 더 포함하는 반도체 소자의 소자분리막 형성 방법.

도면

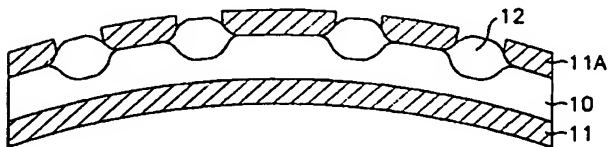
도면 1a



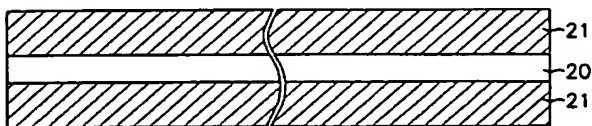
도면 1b



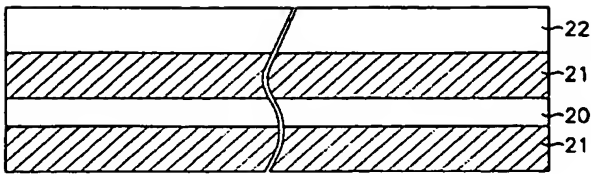
도면 1c



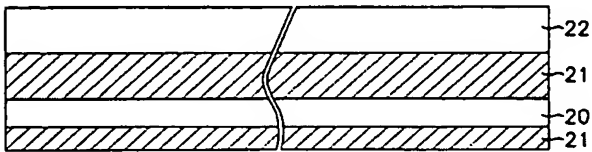
도면 2a



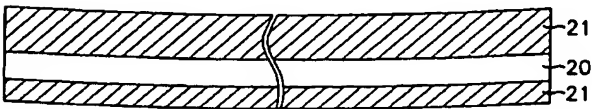
도면2b



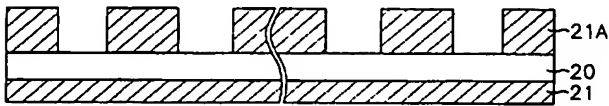
도면2c



도면2d



도면2e



도면2f

